

データシート

mifare

標準カード IC

MF1 IC S50

機能仕様

製品仕様

改訂 5.1

May 2001

機能仕様

標準カード IC MF1 IC S50

目次

1	特徴	4
1.1	MIFARE RF インターフェース (ISO/IEC 14443 A)	4
1.2	EEPROM	4
1.3	セキュリティ	4
2	概説	5
2.1	非接触型電源エネルギーとデータ転送	5
2.2	非衝突	5
2.3	有益性	5
2.4	セキュリティ	5
2.5	マルチアプリケーション機能	5
2.6	出荷オプション	5
3	機能説明	6
3.1	ブロック説明	6
3.2	通信方式	7
3.2.1	リクエスト標準/オール	7
3.2.2	非衝突ループ	7
3.2.3	セレクトカード	7
3.2.4	3パス認証	7
3.2.5	メモリ操作	8
3.3	データの整合性	8
3.4	安全性	8
3.4.1	3パス認証シーケンス	8
3.5	RF インターフェース	8
3.6	メモリ構成	9
3.6.1	工場ブロック	10
3.6.2	データブロック	10
3.6.3	セクタトレイラ (ブロック No.3)	11
3.7	メモリアクセス	12
3.7.1	アクセス状態	13

機能仕様**標準カード IC MF1 IC S50**

3.7.2	セクタレイラに対するアクセス状態	13
3.7.3	データブロックのアクセス状態	14
4	定義	15
5	生命維持アプリケーション	15
6	変更履歴	15

機能仕様

標準カード IC MF1 IC S50

1 特徴

1.1 MIFARE RF インターフェース (ISO/IEC 14443 A)

- ・ データと電源エネルギーの非接触通信 (バッテリーは必要無し)
- ・ 動作間隔: 100mm (アンテナ方位による)
- ・ 動作周波数: 13.56 MHz
- ・ 高速度転送: 106kbi/s
- ・ データの高整合性: 16 Bit CRC, パリティ, bit coding, bit counting
- ・ 完全な非衝突
- ・ 発券標準処理時間: < 100ms (バックアップ管理含む)

1.2 EEPROM

- ・ 1Kバイト, 16 セクタ, 4 ブロック/セクタ, 16 バイト/ブロック
- ・ 各メモリブロックに対してユーザ定義可能なアクセス条件設定
- ・ 10年間データ保持
- ・ 100,000回のデータ書込み

1.3 セキュリティ

- ・ 共有3パス認証 (ISO/IEC DIS9798-2)
- ・ 反射攻撃から保護されたRF-チャネル上のデータ暗号化
- ・ セクタ当たり二つの個別キーでキー階層によるマルチアプリケーションをサポート (アプリケーション毎)
- ・ 各カード毎にユニークなシリアル番号
- ・ 転送キーは、チップ提供時にEEPROMへのアクセスを保護

機能仕様

標準カード IC MF1 IC S50

2 概説

MIFARE MF1 IC S50はISO/IEC 14443A準拠の非接触型スマートカードです。通信層(MIFARE RF インターフェース)はISO/IEC 14443A標準のパート2/3に準拠しています。セキュリティ層はMIFARE Classic familyの安全なデータ交換の分野で立証済みの「CRYPTO1」ストリーム暗号を使用しています。

2.1 非接触型電源エネルギーとデータ転送

MIFAREシステムに於いて、MF1 IC S50 は2~3回巻のコイルに接続されていて電源を持たない非接触型スマートカード型プラスチックに収納されています。バッテリーは必要ありません。カードがリードライト機器(RWD)の近傍に置かれると、高速RF通信インターフェースにより106KBits/sでデータ通信が可能になります

2.2 非衝突

高性能な非衝突型の機能により同時に複数のカードを動作させる事が可能です。非衝突型アルゴリズムはカードを個々に選択し、選択されたカードとの処理が他のカードとの影響によりデータが破損する事はなく適切に行われる事を保証します

2.3 有益性

MIFAREシステムはユーザにとって最適な有益性をもたらすように設計されています。例えば高速データ転送速度により完全な発券処理が100ms以下で制御される事が可能になっています。このようにMIFAREカードはゲートでの膨大な処理量が発生するRWDアンテナ部で留まる事はなくバス上の搭乗回数を減少させます。MIFAREカードは財布の中でも、その財布の中にコインがあっても読み取りできます

2.4 セキュリティ

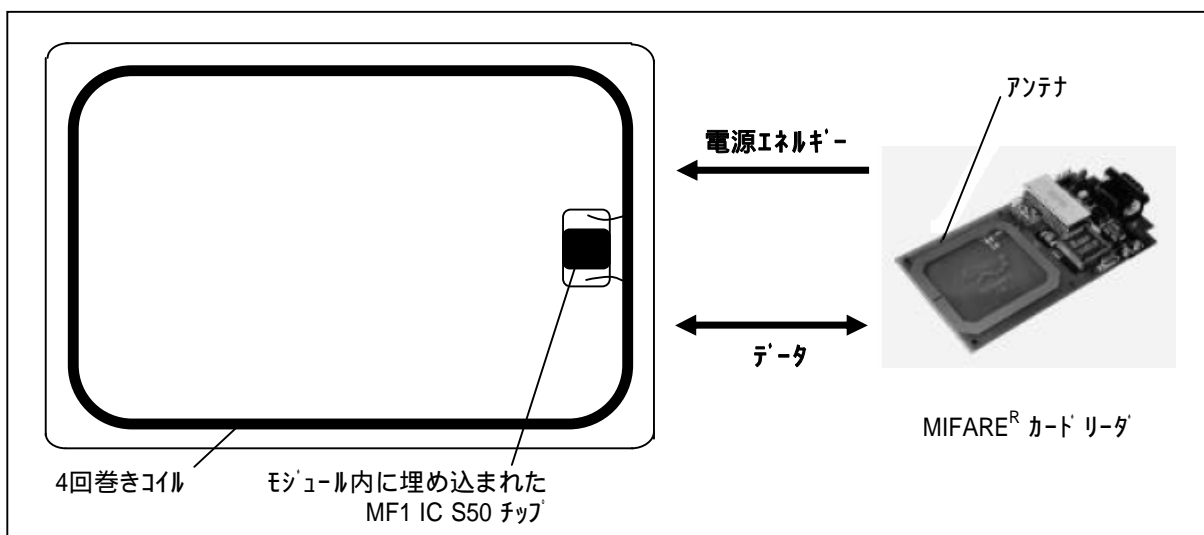
不正に対して特別な重点対策がセキュリティ上施されました。相互チャレンジコード、応答認証、データ暗号、および通報認証チェックはどんな種類の改ざんからもシステムを保護し発券アプリケーションを際立たせます。変更不可のシリアル番号は各カードの唯一性を保証します

2.5 マルチアプリケーション機能

MIFAREシステムはプロセッサカードの特徴に匹敵する真のマルチアプリケーション機能を提供します。各セクターの二つの異なるキーはキー階層構造によりシステムをサポートします

2.6 出荷オプション

- ・ 製造素材(ウェア)の金型
- ・ 製造素材(ウェア)の(Bumped)金型
- ・ チップカードモジュール



機能仕様

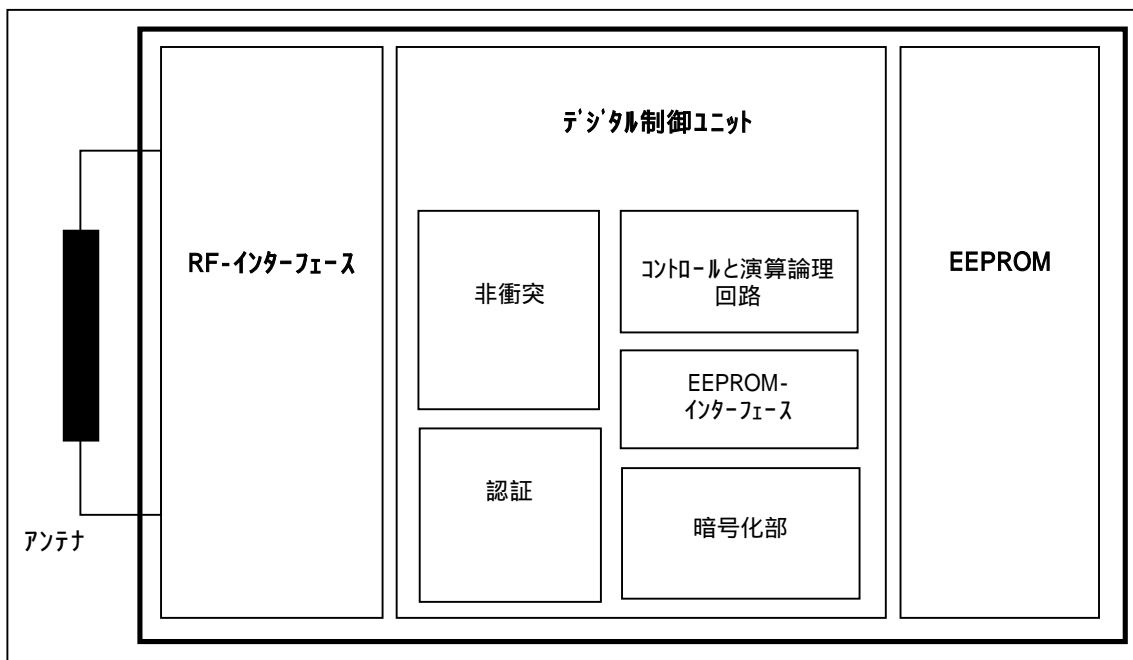
標準カード IC MF1 IC S50

3 機能説明

3.1 ブロック説明

MF1 IC S50 は1Kbyte EEPROM、RF-インターフェース、デジタル制御ユニット から構成されます。電源エネルギーとデータはアンテナを通して伝送され、そのアンテナは、MF1 IC S50 に直接接続されている2 ~ 3回巻のコイルから構成されています。これ以上の外部素子は必要ありません (アンテナデザインに関しては、MIFARE Card IC Coil Design Guideドキュメントを参照して下さい)

- ・ RF-インターフェース
 - 変調/復調器
 - 整流器
 - クロック発生器
 - パワーオンリセット
 - 電圧レギュレータ
- ・ 非衝突
 - リーダー周辺の数枚のカードが選択され連続して順番に処理されます
- ・ 認証
 - メモリ操作に先立ち、認証手続きによりブロックへのアクセスは各ブロックで指定された二つのキーを通してのみ可能になります
- ・ コントロールと演算論理回路
 - Valueが特別な冗長フォーマットで格納されており加算又は減算されます
- ・ EEPROM-インターフェース
- ・ 暗号化部
 - MIFARE Classic family の分野で立証済みのCRYPTO1 ストリーム暗号化により安全なデータ交換が保証されます
- ・ EEPROM
 - 1Kbyteは16セクターで構成され、1セクターは4ブロックになります。1ブロックは16バイトで構成されます。各セクターの最後尾のブロックはトレーラと呼ばれ、本セクターの各ブロックに対して二つのキーとプログラマブルなアクセス状態から構成されます



機能仕様

標準カード IC MF1 IC S50

3.2 通信方式

コマンドはRWDによって起動され相当のセクタに対するアクセス状態に応じてMF1 IC S50 のデジタル制御ユニットにより制御されます

3.2.1 リクエスト標準/オール

カードのパワーオンリセット(POR)後、リクエストコマンドに対して応答します。 RWDによりアンテナ範囲内の全てのカードに送信され、リクエストコードに対して応答します(ISO/IEC 14443A 準拠のATQA)

3.2.2 非衝突ループ

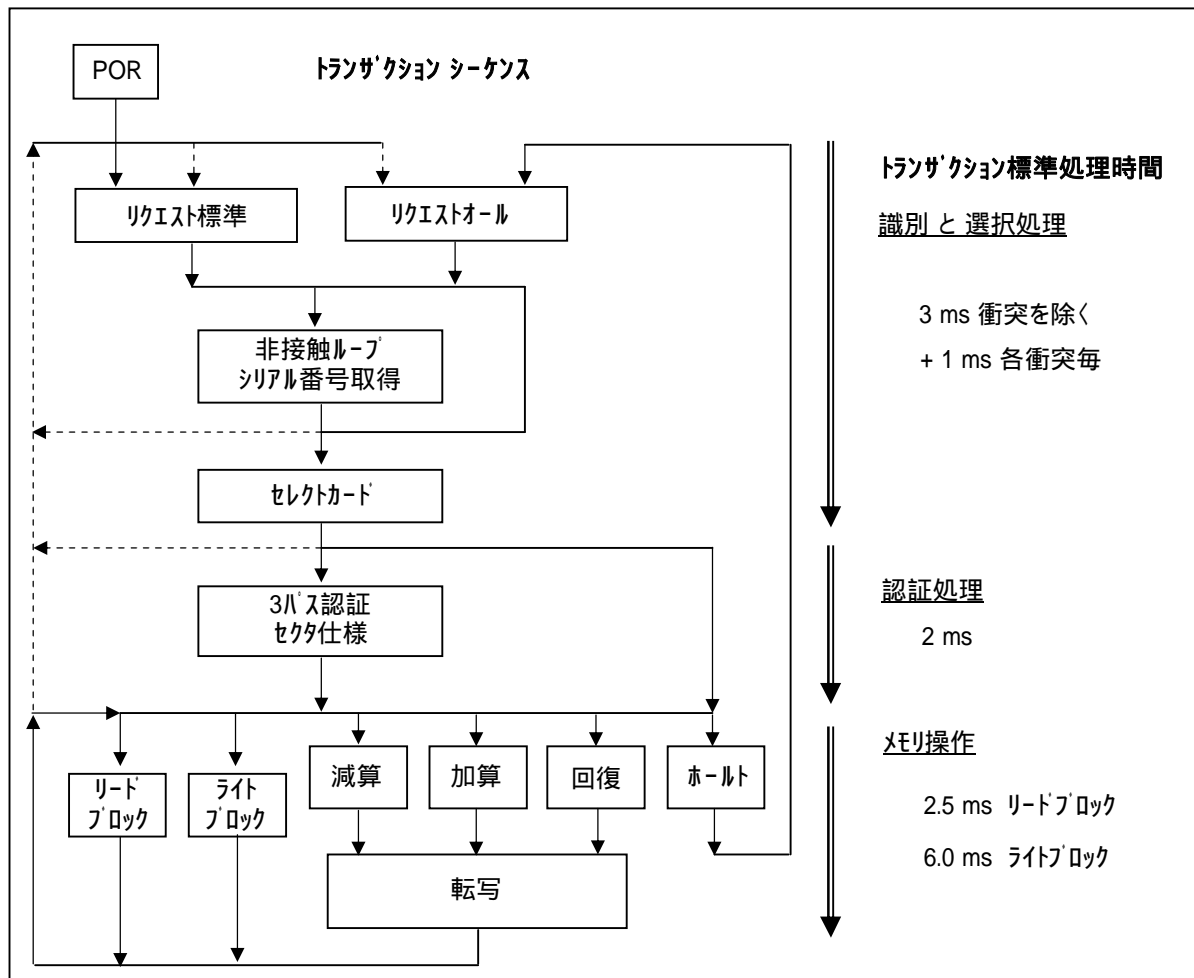
非衝突ループに於いて、カードのシリアル番号がリドされます。RWDの動作範囲内に数枚のカードが存在した場合、それらのカードはシリアル番号によって区別され、1枚のみが選択され後の処理に渡されます。選択されなかったカードはスタンバイモードに戻り、新規のリクエストコマンドを待ちます

3.2.3 セレクトカード

セレクトカードコマンドで、RWDは認証とメモリ関連操作により単独のカードを選択します。カードはAnswer To Select(ATS)コードを返し、選択カードのタイプを決定します。更に詳細に関しては、MIFARE Standardized Card Type Identification Procedureドキュメントを参照して下さい

3.2.4 3パス認証

カード選択後、RWD は次項で説明するメモリアクセスによりメモリ位置を特定し、3パス認証手順用の相当キーを使用します。認証の完了後、全てのメモリ操作は暗号化されます



機能仕様

標準カード IC MF1 IC S50

3.2.5 メモリ操作

認証後、下記の操作が実行されます

- ・ ブロック読出し (Read block)
- ・ ブロック書込み (Write block)
- ・ 減算 (Decrement)
 - ブロックの内容を減算し、一時内部レジスタに結果を保存します
- ・ 加算 (Increment)
 - ブロックの内容を加算し、一時内部レジスタに結果を保存します
- ・ 回復 (Restore)
 - ブロックの内容をレジスタに移動します
- ・ 転写 (Transfer)
 - 一時内部レジスタの内容をバリュブロックに書込みます

3.3 データの整合性

下記の構造はRWDとカード間の非接触通信のリンク上に仕組まれており高信頼性のデータ転送を保証しています

- ・ 16 bits CRC / ブロック
- ・ パリティビット / 各バイト
- ・ ビット数チェック
- ・ '1', '0', 又は 'ノーデータ (情報無し)' を判別する為のビットコード
- ・ チャンネルモニター (プロトコルシーケンスとビットストリーム解析)

3.4 安全性

高安全性レベルを確保する為に、ISO 9798-2準拠の3パス認証が使用されています

3.4.1 3パス認証シーケンス

- a) RWD はアクセスされるべきセクターを特定し、key A もしくは key B を選択します
- b) カードはセクタレイラからシークレットキーとアクセス条件をリードします。それから、カードはチャレンジコードとしてのランダム数をRWDに送ります (パス1)
- c) RWDはシークレットキーと付加入力を使ってその応答コードを計算します。その応答は、RWDからのランダムチャレンジコードと一緒にカードに送られます (パス2)
- d) カードはRWDからの応答と自身のチャレンジコードを比較する事によってバリファイし、チャレンジコードに対する応答を計算してそれを送ります (パス3)
- e) RWDはカードからの応答と自身のチャレンジコードを比較する事によってバリファイします

最初のランダムチャレンジコードの送信後、カードとRWD間の通信は暗号化されます

3.5 RF インターフェース

RF インターフェース は非接触型スマートカード ISO/IEC 14443A 標準に準拠しています

RWDからのキャリア電界は常に存在しており、カードの電源に使用されます (送信時小休止を伴いますが)

通信の両方向に於いて、各フレームの起動時にスタービットは1ビットのみです。各バイトは終了時にパリティ付き(奇数パリティ)で送信されます。選択されたブロックの最小アドレスのバイトのLSB が最初に送信されます。最大のフレーム長は163ビットになります (16 データバイト + 2 CRC バイト = 16 * 9 + 2 * 9 + 1 スタービット)

機能仕様

標準カード IC MF1 IC S50

3.6 メモリ構成

1024 x 8 bit EEPROM メモリは 16 セクタ, 4 ブロック, 各ブロック16 バイトで構成されています

イレース状態に於いては、EEPROM セルは論理 '0' としてリードされ、書込み時は論理 '1' になります

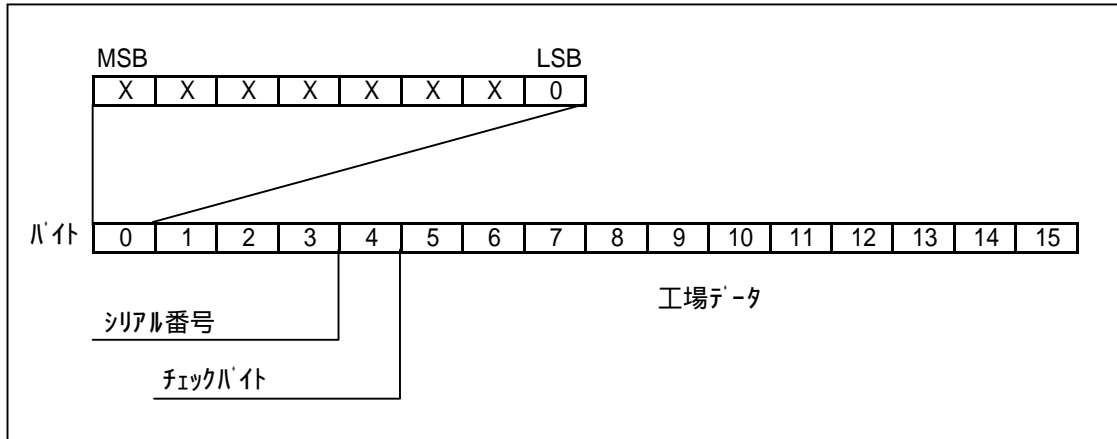
セクタ	ブロック	ブロック内のバイト番号																説明
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
15	3	Key A				アクセスビット				Key B								セクタトレイ No.15
	2																	データ
	1																	データ
	0																	データ
14	3	Key A				アクセスビット				Key B								セクタトレイ No.14
	2																	データ
	1																	データ
	0																	データ
:	:																	
:	:																	
:	:																	
1	3	Key A				アクセスビット				Key B								セクタトレイ No.1
	2																	データ
	1																	データ
	0																	データ
0	3	Key A				アクセスビット				Key B								セクタトレイ No.0
	2																	データ
	1																	データ
	0																	工場ブロック

機能仕様

標準カード IC MF1 IC S50

3.6.1 工場ブロック

これは最初のセクタ (セクタ 0) の最初のデータブロック (ブロック 0) になります。それは、IC の工場データを含みます。安全性とシステム要件から、このブロックは製作時、IC 製造業者によりプログラムされた後、書き込み保護されています



3.6.2 データブロック

全てのセクタは格納データとして16バイトの3ブロックから構成されています。(セクタ 0は2データブロックのみとリードオンの工場データから成ります)

データブロックは以下のように、アクセスビットによって構成されます

- ・リード/ライトブロック 例として非接触アクセス制御です
- ・バリュブロック 例として電子財布アプリケーション (電子決済)、それは保存値の直接制御の為の加算とか減算のような付加的なコマンドが適用されます

認証コマンドは、メモリ操作に先だって実行されると次のコマンドが受付可能となります

3.6.2.1 バリュブロック

バリュブロックにより電子財布機能を実行させる事ができます (有効なコマンド: リード, ライト, 加算, 減算, 回復, 転写)。バリュブロックは、固定データフォーマットになっておりエラー検出とその修正及びバックアップ管理を可能にします。バリュブロックはバリュブロックフォーマットの書き込み操作を通して生成されます

- ・バリュ
 - 正負の4バイトの値を意味しています。バリュのLSBは最下位アドレスに保存されます。負のバリュは標準の2の補数フォーマットで保存されます。データ整合性と安全の為に、バリュは3回、2回は非反転で、1回は反転で保存されます
- ・Adr (アドレス)
 - 1バイトアドレスを意味しており、効果的なバックアップ管理を施行する時のブロックの格納アドレスを保存するのに使用されます。アドレスバイトは4回、2回の反転と非反転で保存されます。加算, 減算, 回復 及び 転写の処理中は、アドレスは変更されません。ライトコマンドを通してのみ変更可能です

バイト番号の	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
説明	バリュ-				バリュ-				バリュ-				Adr	Adr	Adr	Adr

機能仕様

標準カード IC MF1 IC S50

3.6.3 セクタトレイラ (ブロック No.3)

各セクタ-は下記に示されるセクタ-トレイラを有しています

- ・ 論理 '0' で読み出される シークレット keys A と keys B(オプション)
- ・ 4つのブロックに対するアクセス状態は、バイト 6...9に保存されています
- ・ アクセスビットはデータブロックのタイプ (リード/ライト 又は バリュ-)をも示しています

key B が必要なければ、ブロックNo.3 の最後の6バイトはデータバイトに使用されます

セクタトレイラの9バイト目はユーザバイト用に有効です。このバイトには、バイト6、7、および8と同じアクセス権を適用してください。

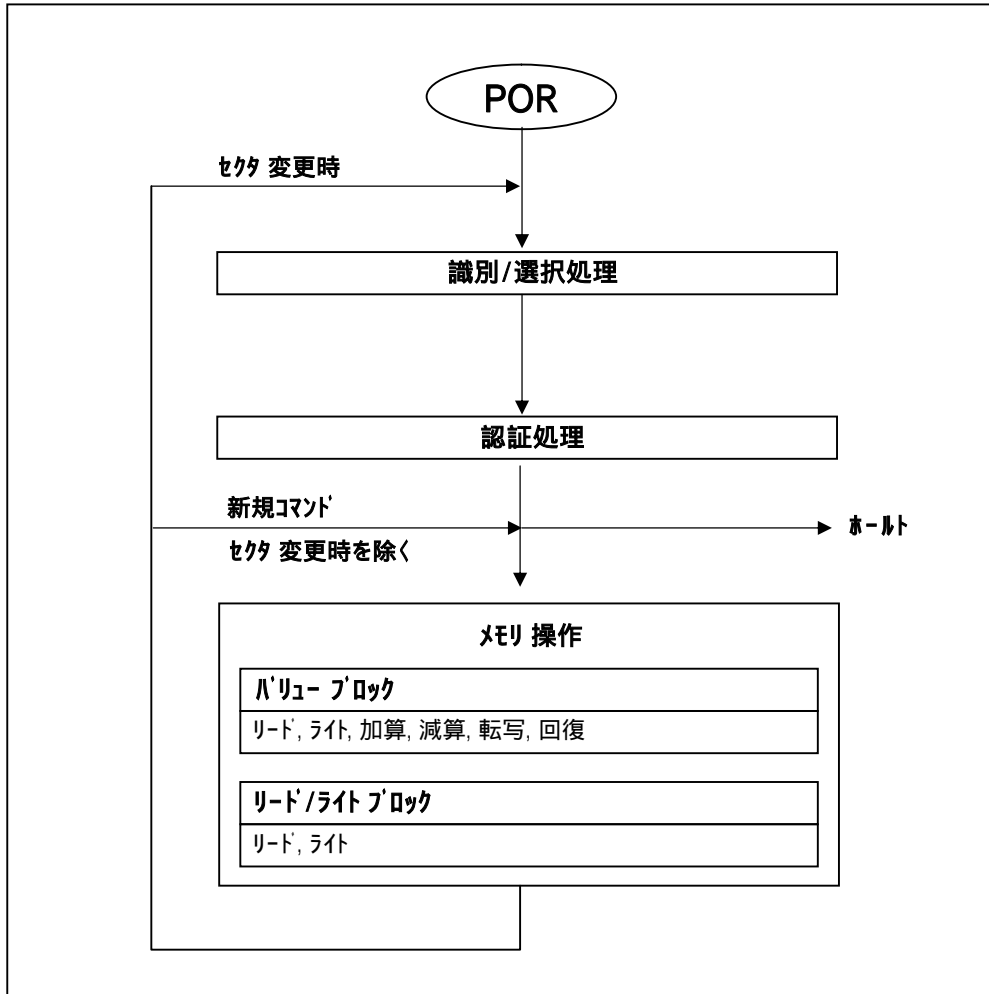
バイト番号の 説明	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	Key A						アクセスビット				Key B (オプション)					

機能仕様

標準カード IC MF1 IC S50

3.7 メモリアクセス

メモリ操作が実行される前に、カードは前に説明したように選択された後、認証されなければなりません。指定されたブロックに対する有効なメモリ操作は該当するセクタレイラに格納されているキーとアクセス条件に依存します



メモリ操作		
処理名	説明	ブロックタイプの有効処理
リード (Read)	メモリブロックをリードする	バリューストックとセクタレイラのリード/ライト
ライト (Write)	メモリブロックをライトする	バリューストックとセクタレイラのリード/ライト
加算 (Increment)	ブロックの内容を加算し内部レジスタに結果を保存する	バリューストック
減算 (Decrement)	ブロックの内容を減算し内部レジスタに結果を保存する	バリューストック
転写 (Transfer)	内部レジスタの内容をブロックに書き込む	バリューストック
回復 (Restore)	ブロックの内容を内部レジスタに読み込む	バリューストック

機能仕様

標準カード IC MF1 IC S50

3.7.1 アクセス状態

各データブロックとセクタトレイのアクセス状態は、3ビットで決められ、指定セクタのセクタトレイ上に非反転と反転で保存されています

アクセスビットはシークレット key A と key B を使って、メモリアクセス権を制御します。関連キーを認識していて、現在のアクセス状態がその操作を可能にしているのであれば、アクセス状態は変更されるかもしれません

注： 下記の説明に於いて、アクセスビットは非反転モードのみとして言及されています

MF1 IC S50の内部ロジックは、コマンドが認証手順の後にだけ実行され、さもなければ実行されないことを確実にします

アクセスビット	有効なコマンド	ブロック	説明
C1 ₃ , C2 ₃ , C3 ₃	リード, ライト	3	セクタトレイ
C1 ₂ , C2 ₂ , C3 ₂	リード, ライト, 加算, 減算, 転写, 回復	2	データブロック
C1 ₁ , C2 ₁ , C3 ₁	リード, ライト, 加算, 減算, 転写, 回復	1	データブロック
C1 ₀ , C2 ₀ , C3 ₀	リード, ライト, 加算, 減算, 転写, 回復	0	データブロック

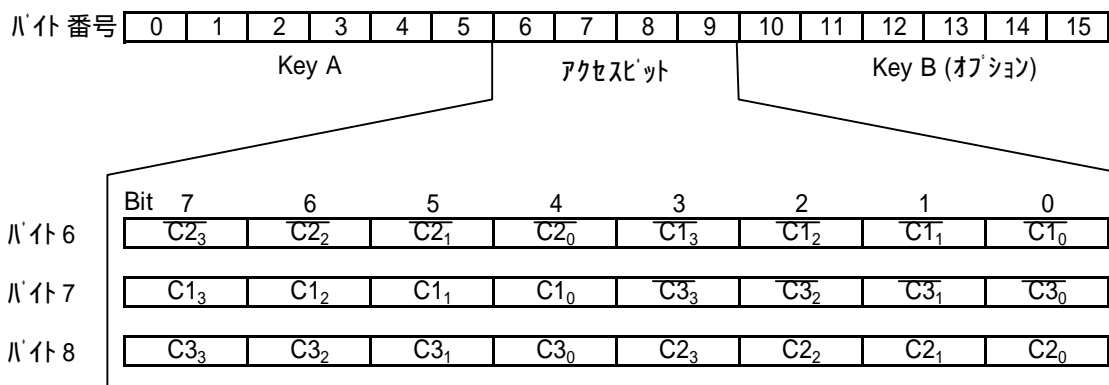
注： 各メモリアクセスに於いて、内部論理回路はアクセス状態のフォーマットを精査します。フォーマット違反があれば、全体のセクタは回復不能なセクタになります

3.7.2 セクタトレイに対するアクセス状態

セクタトレイ (ブロック No.3) 上のアクセスビットにより、キーとアクセスビットに対するリード/ライトアクセスは、'never', 'key A', 'key B' もしくは 'key A|B' (key A or key B) として指定されます

チップ出荷時に、セクタトレイと key A のアクセス状態が輸送構成として予め定義されます。key B が輸送構成時に読出しされるかもしれないので、新規カードは、key A で認証されなければならないということです。

アクセスビット自身もまた、妨害されることもあるので、特別の注意がカードの個別化中に払わなければならないかもしれません



機能仕様

標準カード IC MF1 IC S50

注： 灰色でマークされた行は、key B が読出し可能で、データに使用されても良いアクセス状態です

アクセスビット			アクセス状態						備考
C1	C2	C3	KEY A		アクセスビット		KEY B		
			リード	ライト	リード	ライト	リード	ライト	
0	0	0	never	key A	key A	never	key A	key A	Key B が読出し可能
0	1	0	never	never	key A	never	key A	never	Key B が読出し可能
1	0	0	never	key B	key A B	never	never	key B	
1	1	0	never	never	key A B	never	never	never	
0	0	1	never	key A	key A	key A	key A	key A	Key B が読出し可能 輸送構成
0	1	1	never	key B	key A B	key B	never	key B	
1	0	1	never	never	key A B	key B	never	never	
1	1	1	never	never	key A B	never	never	never	

3.7.3 データブロックのアクセス状態

データブロック(ブロック 0...2)に対するアクセスビットにより、リード/ライトアクセスは 'never', 'key A', 'key B' もしくは 'key A|B' (key A 又は key B) として指定されます。関連のアクセスビットの設定はアプリケーションと相当の適用コマンドを定義します

- ・ リード/ライトブロック:
 - 読出しと書込み操作が可能です
- ・ バリューストック:
 - 付加的な操作の 加算, 減算, 転写 及び 回復 が可能です。"001" のケースとして、再充電可能カードにとってリードと減算のみがになります。"110" というケースに於いては、充電が key B を使用する事によって可能になります
- ・ 工場ブロック:
 - 読出しのみの状態は、アクセスビット設定の影響を受けません
- ・ キー管理:
 - 輸送構成に於いて、key A は認証の為に使用されなければなりません (*1)

アクセスビット			アクセス状態				適用
C1	C2	C3	リード	ライト	加算	減算 転写 回復	
0	0	0	key A B ^(*1)	key A B ^(*1)	key A B ^(*1)	key A B ^(*1)	輸送構成
0	1	0	key A B ^(*1)	never	never	never	リード/ライトブロック
1	0	0	key A B ^(*1)	key B ^(*1)	never	never	リード/ライトブロック
1	1	0	key A B ^(*1)	key B ^(*1)	key B ^(*1)	key A B ^(*1)	バリューストック
0	0	1	key A B ^(*1)	never	never	key A B ^(*1)	バリューストック
0	1	1	key B ^(*1)	key B ^(*1)	never	never	リード/ライトブロック
1	0	1	key B ^(*1)	never	never	never	リード/ライトブロック
1	1	1	never	never	never	never	リード/ライトブロック

注(*1): Key B が該当のセクタ内で読みだされた場合は、それは認証用に使われる事はありません。(上記のテーブルの灰色の行)

結論: 灰色でマークされたアクセス状態を使って KEY B によってRWDがセクタ内のブロックを認証しようとした場合、カードは認証の後、いかなるメモリアクセスも受けつける事はありません

機能仕様

標準カード IC MF1 IC S50

4 定義

データシートの定義	
目標仕様	このデータシートは製品開発の目的もしくは目標仕様を包含しています
暫定仕様	このデータシートは暫定仕様を包含しています 補足のデータが後に公開されます
製品仕様	このデータ仕様は最終的な製品仕様を包含しています
制限値	
表記の制限値は絶対最大値評価システム(IEC 134)に準じています。制限値を超えるストレスはデバイスに永久的なダメージを加えることとなります。この制限値はストレス評価のみを意味しており、特性仕様部で記されている制限値又はその制限値を超える状態でのデバイスの動作まで言及しておりません。定格時間を超えて制限値にさらすことはデバイスの信頼性に影響を与える可能性があります	
アプリケーション情報	
アプリケーション情報が発行される場合は、それは参考情報であり、仕様に影響する事はありません	

5 生命維持アプリケーション

誤動作が人の傷害に至るような生命維持の電化製品とかシステムとかの使用に耐えるように設計されておりません。そのようなアプリケーションで本製品を使用したり売ったりしたユーザーは自分自身のリスクを負うことになり、そのような不適当な使用又は販売から起因する損害賠償をフィリップス社に補償する事に同意したということになります

6 変更履歴

表1 MF1 IC S50 の機能仕様の変更履歴

改訂	月日	CPCN	頁	内容
5.1	0501	2001 05013	9,10	工場ブロックの新コード化
5.0	1199			レイアウト変更
1.0		-		初版

このドキュメントの内容はフィリップス社製品の関連情報として提供されています。
また、この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に関しては、必ず最新のデータシートをメーカーのホームページより入手して下さい

技術資料の入手先

<http://www>

Philips Semiconductors